

MENU

SEARCH

INDEX

DETAIL

PATENT

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-136034

(43)Date of publication of application : 22.05.1998

(51)Int.CI.

H04L 25/49  
H04L 25/08  
// H03M 7/16

(21)Application number : 09-299268

(71)Applicant : ASCOM TECH AG

(22)Date of filing : 26.09.1997

(72)Inventor : TONKS DAVID JOHN

(30)Priority

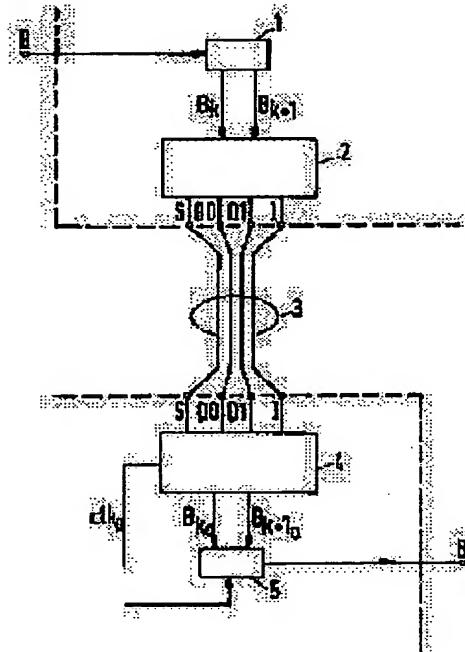
Priority number : 96 2406 Priority date : 03.10.1996 Priority country : CH

### (54) METHOD FOR TRANSMITTING BINARY DATA FLOW

(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve transmission capacity for pure series data transmission by making the data bits of data flow into pairs, collecting them, coding them in the form of parallel signals so as to transmit them and changing the state of the signal in terms of a Gray code at that time.

**SOLUTION:** On a transmission side, an interface contains a die bit generator 1 and an SDDI generator 2. Connection with a receiver is executed through four conductors 3. On a reception side, a decoder 4 and a shift register 5 are provided. The interface of the transmission side assumes a binary signal B. The die bit generator 1 collects two data bits BK and BK+1 and they are transferred to the SDDI generator 2, in parallel at half the data speed. The SDDI generator 2 generates four signals S, D0, D1 and I and the signals are transmitted to the receiver on the four conductors 4. The decoder 4 extracts clock signals from the four signals.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or]

(19)日本国特許庁(JP)

## (12)公開特許公報(A)

(11)特許出願公開番号

特開平10-136034

(43)公開日 平成10年(1998)5月22日

(51) Int.Cl.<sup>6</sup>  
 H 0 4 L 25/49  
 25/08  
 # H 0 3 M 7/16

識別記号

F I  
 H 0 4 L 25/49  
 25/08  
 H 0 3 M 7/16

Z  
Z

(21)出願番号 特願平9-299268

(22)出願日 平成9年(1997)9月26日

(31)優先権主張番号 2406/96

(32)優先日 1996年10月3日

(33)優先権主張国 スイス(CH)

審査請求 未請求 請求項の数8 書面(全6頁)

(71)出願人 595148442  
 アスコム・テヒ・アクチエンゲゼルシャフト  
 Ascom Tech AG  
 スイス国ベルン・モルゲンシュトラーセ  
 129ベルネル・テヒノバルク  
 (72)発明者 ディヴィット・ジョン・トンクス  
 スイス国ジグリスヴィール・ラウエネン  
 (番地なし)  
 (74)代理人 弁理士 中平 治

(54)【発明の名称】2進データ流を伝送する方法

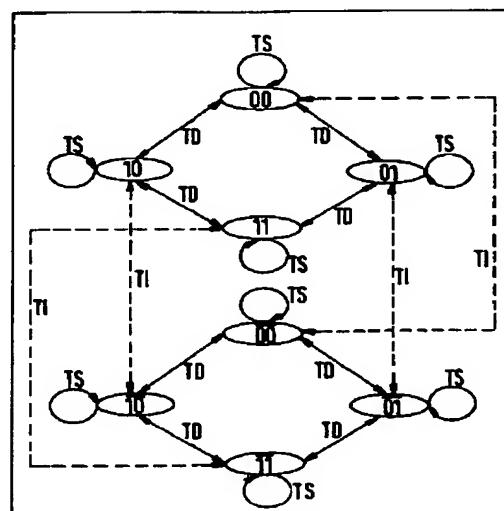
## (57)【要約】

【課題】 限定された帯域幅で十分であり、かつ信号におけるエッジシフト(信号スキー)に対してできるだけわずかしか障害を受けない、2進データ流を伝送する方法を提供する。

【解決手段】 高い速度(サブGHz帯域)によるデータの線路に結付いた伝送のために、4つの並列導体

(3)が設けられている。これら導体を介して伝送クロックあたり2つのデータビットが伝送される。その他の2つの導体は、両方のデータビットにおける所定の変化を信号通知するために使われる。データ伝送及び信号通知は、グレイコードに基づいて行なわれる。したがって1クロックあたり4つの導体(3)のうちの1つだけしか状態を変化しない。本発明によるインターフェースは、信号シフト(信号スキー)に対して減少した障害の受けやすさを有し、回路技術的に簡単なクロック再生を可能にする。

Fig.2



## 【特許請求の範囲】

【請求項1】 a) データ流(B)のデータビット(B<sub>k</sub>, B<sub>k+1</sub>)を対にしてまとめ、かつ  
b) 4つの並列信号(S, D<sub>0</sub>, D<sub>1</sub>, I)の形にコーディングして伝送し、その際、  
c) グレイコードの意味において信号(S, D<sub>0</sub>, D<sub>1</sub>, I)の状態が変更されることを特徴とする、2進データ流(B)を伝送する方法。

【請求項2】 4つの信号(S, D<sub>0</sub>, D<sub>1</sub>, I)のうち2つ(D<sub>0</sub>, D<sub>1</sub>)が、データビット(B<sub>k</sub>, B<sub>k+1</sub>)を伝送し、かつ別の両方の信号(S, I)が、データビット(B<sub>k</sub>, B<sub>k+1</sub>)の反転又は変化しない維持を信号通知することを特徴とする、請求項1記載の方法。

【請求項3】 データビット(B<sub>k</sub>, B<sub>k+1</sub>)の同時の変化が、他の3つすべての信号(D<sub>0</sub>, D<sub>1</sub>, S)を同時に維持した際に反転信号(I)の変化によって信号通知されることを特徴とする、請求項2記載の方法。

【請求項4】 データビット(D<sub>0</sub>, D<sub>1</sub>)の維持が、他の3つすべての信号(D<sub>0</sub>, D<sub>1</sub>, I)を同時に維持した際に第4の信号(S)の変化によって信号通知されることを特徴とする、請求項2又は3記載の方法。

【請求項5】 受信側においてデータクロック信号(c<sub>1k'</sub>)が、並列伝送される4つの信号(S, D<sub>0</sub>, D<sub>1</sub>, I)の状態変化から導き出されることを特徴とする、請求項1ないし4の1つに記載の方法。

【請求項6】 データフィールド信号を再生するために、4つの信号が、XOR素子(6. 1ないし6. 3)により論理結合され、かつ結果として生じる信号が、周波数に関して2倍にされることを特徴とする、請求項5記載の方法。

【請求項7】 送信側においてデータ流(B)が、ダイビット発生器(1)及びSDDI発生器(2)によって次のように4つの信号(S, D<sub>0</sub>, D<sub>1</sub>, I)に変形され、すなわち

a) 1つのデータビット(B<sub>k</sub>, B<sub>k+1</sub>)の状態変化が、他の3つの信号(S, I, D<sub>0</sub>又はD<sub>1</sub>)を同時に変わらずに維持した際に、相応するデータ信号(D<sub>1</sub>又はD<sub>0</sub>)の変化によって信号通知し、  
b) 両方のデータビット(B<sub>k</sub>, B<sub>k+1</sub>)の状態変化が、他の3つの信号(S, D<sub>0</sub>, D<sub>1</sub>)を同時に変わらずに維持した際に、反転信号(I)の変化によって信号通知し、かつ

c) 両方のデータビット(B<sub>k</sub>, B<sub>k+1</sub>)の維持が、他の3つの信号(I, D<sub>0</sub>, D<sub>1</sub>)を同時に変わらずに維持した際に、ストローブ信号(S)の変化によって信号通知されることを特徴とする、請求項1ないし6の1つに記載の方法を実施する回路装置。

【請求項8】 受信側においてクロック再生回路が設け

られており、このクロック再生回路内において4つの信号が、XOR素子(6. 1ないし6. 3)により伝送クロック信号になるように論理結合され、かつこの伝送クロック信号が、遅延素子(7)により伝送クロックの半分だけ遅延され、それからXOR素子(6. 4)において遅延されていない伝送クロック信号と所望のデータクロックになるように論理結合されるようにすることを特徴とする、請求項1ないし6の1つに記載の方法を実施する回路装置。

10 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、2進データ流を伝送する方法、及びこの方法を実施する回路装置に関する。

## 【0002】

【従来の技術】高い速度によるデータの線路に結付いた伝送は、ますます重要になっている。これに関連してサブGHz帯域(例えば800MHz)における又は数GHzまでのデータ速度、及び典型的にはキロメートルより短い距離が、興味の中心になっている。

【0003】純直列データフォーマットにおける800Mビット/sの伝送は、現在ではCMOS-I/Oポートの能力の外にある。

## 【0004】

【発明が解決しようとする課題】本発明の課題は、限定された帯域幅で十分であり、かつ信号におけるエッジシフト(信号スキー)に対してできるだけわずかしか障害を受けない、初めに述べたような方法を提供することにある。さらに方法は、できるだけわずかな接点端子

30 (ピン)を有する1つのチップにおける実行に適するようとする。

## 【0005】

【課題を解決するための手段】課題の解決策は、次のように定義されている。すなわちデータ流のデータビットを対にしてまとめ、かつ4つの並列信号の形にコーディングして伝送し、その際、グレイコードの意味において信号の状態が変更される。本発明によれば、4つの並列の信号が設けられている。これらを介して1つのクロックあたり2つのデータビットが伝送される。2つの信号は、両方のデータビットにおける所定の変化を信号通知するために使われる。データ伝送及び信号通知は、グレイコードに基づいて行なわれる。したがって1つのクロックあたり4つの信号のうち1つだけしか状態を変化しない。

45 【0006】それぞれ2つのデータビットがまとめられ、かつ並列に伝送されることによって、純直列のデータフォーマットにおけるものよりわずかな帯域幅しか利用されない。本発明による信号フォーマットは、受信機におけるPLL回路なしで間に合うことを可能にする。その結果、いくつかのテストピンを省略することができ、この

ことは、回路技術的に有利である。加えて従来の“クロック+データ”インターフェースとは相違して、エッジシフト（信号スキー）の正確な監視は必要ない。なぜならそれぞれの導体内における周波数は、高々クロック周波数の半分の高さであり、かつグレイコーディングに基づいて1クロックあたり1つの信号しかその状態を変えることがないからである。

【0007】本発明によるインターフェースによれば、比較的簡単かつ望ましいコストのシステム接続が実現できる。

【0008】受信側においてクロック信号は、4つの導体の又は4つの信号の状態変化から導き出すことができる。そのため4つの導体又は信号は、例えばXOR論理結合され、それによりクロック信号は、周波数を2倍にすることによって発生することができる。しかし立ち上がりエッジ及び立ち下がりエッジに反応する回路論理を設けてもよい。

【0009】方法を実施するために送信側においてダイビット発生器及びSDDI発生器が設けられており、これら発生器は、2進データ流をビット対にまとめ、又はこれら発生器は、例えば4つの導体に本発明による信号を供給する。

【0010】受信側において、4つの信号を互いに論理結合するために、XOR素子が設けられている。周波数を2倍にするために、このようにした発生された信号は、遅延素子においてそのクロックの半分だけ遅延され、かつ遅延されていない成分とXOR論理結合される。

#### 【0011】

【発明の実施の形態】次の詳細な説明及び特許請求の範囲の全体から、本発明のそれ以上の有利な構成及び特徴の組合せが明らかである。

【0012】原則的に図において同じ部分は、同じ参照符号を備えている。

【0013】図1は、データ伝送方法を説明するためのプロック回路図を示している。送信側においてインターフェースは、ダイビット発生器1及びSDDI発生器2を含んでいる。受信機との接続は、4つの（線材）導体3を介して行なわれる。受信側においてデコーダ4及びシフトレジスタ5が設けられている。

【0014】送信側のインターフェースは、例えば800Mビット/sのデータ速度を有する2進信号Bを仮定している。ダイビット発生器1においてそれぞれ2つのデータビットB<sub>k</sub>、B<sub>k+1</sub>がまとめられ、かつ半分のデータ速度（例えば400Mビット/s）で並列にSDDI発生器2に転送される。このSDDI発生器は、さらに後に説明する様式で、4つの信号S、D<sub>0</sub>、D<sub>1</sub>及びIを発生し、これらの信号は、4つの導体3上において受信機に又はそのインターフェースに伝送される。

#### 【0015】デコーダ4は、4つの信号からクロック信

号c<sub>1k'</sub>及び2つの再生されたデータビットB<sub>k'</sub>、B<sub>k+1'</sub>を抽出する。これら両方の並列データビットB<sub>k'</sub>及びB<sub>k+1'</sub>は、シフトレジスタ5（このシフトレジスタはクロック信号c<sub>1k'</sub>によって制御されている）によって直列データ流B'に変換される。

【0016】図2に示された状態変化ダイヤグラムは、データビットの起こり得るすべての状態変化を含んでいる。結合矢印は、所望の次の状態に到達するために、4つの信号

10 S ストローブ

D<sub>0</sub> データビット

D<sub>1</sub> データビット

I 反転

のうちのどれが、その状態を変えなければならないかを示している。T Iによって示された矢印は、反転信号Iの変化（“トグル・インバート”）を意味し、TDによって示されたものは、データビットD<sub>0</sub>又はD<sub>1</sub>の変化（“トグル・データ”）を意味し、かつTSによって示されたものは、ストローブ信号Sの変化（“トグル・ストローブ”）を意味している。

【0017】例えば“00”から“01”への両方のデータビットD<sub>0</sub>、D<sub>1</sub>の1つの変化を信号通知するためには、データビットD<sub>0</sub>が変更される（TD=“トグル・データ”）。別の3つすべての信号は、同じままである。

【0018】“00”から“11”への前記のデータビットの変化は、反転信号Iの変化（例えば“0”から“1”へ）によって信号通知され（TI=“トグル・インバート”）、その際、ここでもその他の3つすべての信号は、一定に維持される。図2による表示において、このようにして（下側半分に示された）グラフに到達する。ここにおいてすべてのデータビットは、上に線が引かれており、それにより反転が暗示されている。

11=00

35 00=11

01=10

10=01

【0019】両方ともデータビットの値が変わらない場合、ストローブ信号Sの状態が変化する（TS=“トグル・ストローブ”）。図2から明らかなように、ダイヤグラムのそれぞれの節点に“TSループ”が存在する。

両方のデータビットが変化するとき（“TI矢印”）、常に両方のダイヤグラムの半分の間において交代する。一方のダイヤグラム半分内における1つの節点から別のものへの移行は、両方のデータビットのうちの1つの変化（“TI矢印”）を意味する。

【0020】図2に示したグラフは、信号コーディングを図式的に表示する多くの可能性のうちの1つである。これは、最終的に起こり得るすべての状態変化を記述している。

【0021】図3に、送信及び受信側において重要な信号が図示されている。例として示した2進データ流“0 0 0 1 0 1 1 1 0 0 0 1 0 1 1 0”は、まず（重なり合わない）ビット対“0 0”、“0 1”、“0 1”、“1 1”、“0 0”、“0 1”、“0 1”、“1 0”にグループ化される。ビット対は、半分のデータ速度で現われる。1つの“ビットクロック”内において、ビット対の第1のビットはデータビットD 0に割当てられ、かつ第2のものはデータビットD 1に割当てられる。別の両方の信号は、例えば値“0”を有する。次のビット対“0 1”に移行する際に、データビットD 0は変化しなければならない。データビットD 0, D 1の値が変化しなくともよいその次の传送クロックにおいて、ストローブ信号がハイにされる。それ以上の状態変化は、図2により問題なく追従でき、又は検証することができる。

【0022】受信側においてクロック信号を取得するために、到来する4つの信号は、図4に例として示すように、XOR素子6. 1ないし6. 3によって論理結合することができる。本発明による信号通知の際に1つの传送クロックあたりいずれの場合にも、正確に1つの信号がその状態を変えるので、このようにして—第1のステップにおいて—このクロックは再生することができる。遅延素子7により传送クロックから遅延された信号（“ディレイド”）が導き出され、かつXOR素子6. 4において所望のデータクロック $c1k'$ になるように初めのものと組合わされる。エッジ検出回路が設けられており、このエッジ検出回路が、立ち上がり及び立ち下がりエッジに反応する場合、又は別の回路素子又は技術が利用される場合、遅延素子7及びXOR素子6. 4は、省略することができる。

【0023】加えて図3に、信号エッジのシフト（信号スキー）の際に、クロック信号 $c1k'$ も相応してシフトされるので、受信機がリズムから外れることがなく、かつ誤ったデータが生じないことが示されている。

【0024】本発明による4つの信号は、もちろん差動

信号コーディングによって伝送することもできる。この時、4つの信号のそれぞれは、2つの導体において伝送される。したがって全体で8つの導体線材が利用される。

05 【0025】要約すれば、本発明による信号通知は、純直列のデータ伝送に対して伝送能力のかなりの上昇を可能にし、かつその際、比較的わずかな回路技術的な費用で十分である。

【図面の簡単な説明】

10 【図1】本発明による回路装置を説明するためのブロック回路図である。

【図2】信号コーディングを説明するための状態変化ダイヤグラムである。

【図3】本発明による信号の時間ダイヤグラムである。

15 【図4】クロック信号を再生する回路の例を示す図である。

【符号の説明】

1 ダイビット発生器

2 S D D I 発生器

20 3 導体

4 デコーダ

5 シフトレジスタ

6. 1 XOR 素子

6. 2 XOR 素子

25 6. 3 XOR 素子

6. 4 XOR 素子

7 遅延素子

B データ流

B k データビット

30 B k + 1 データビット

D 0 伝送信号

D 1 伝送信号

I 伝送信号

S 伝送信号

35 c1k' データクロック信号

【図4】

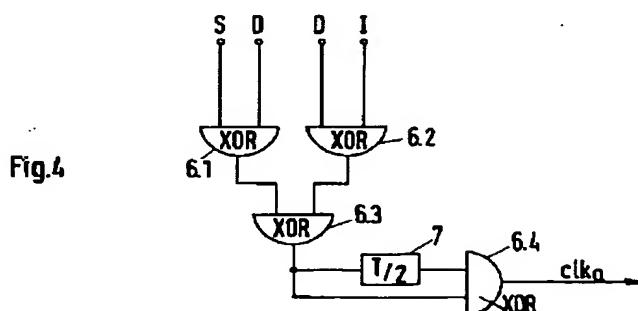
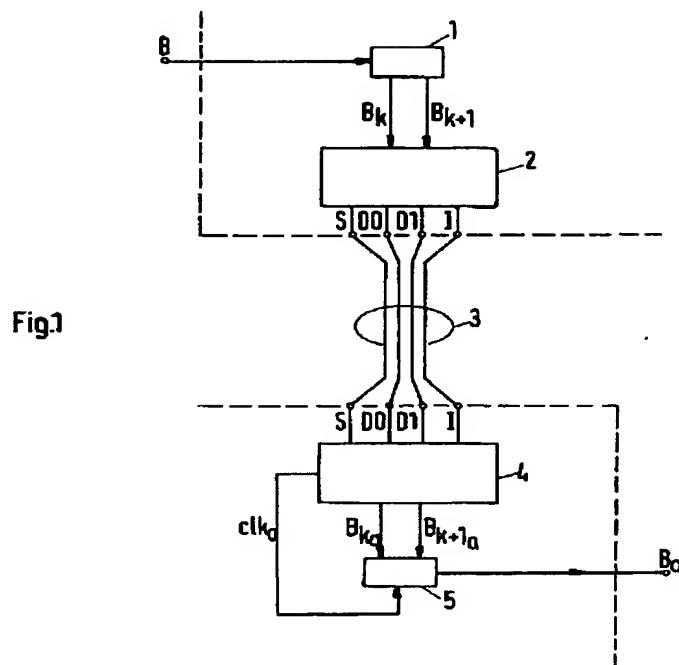
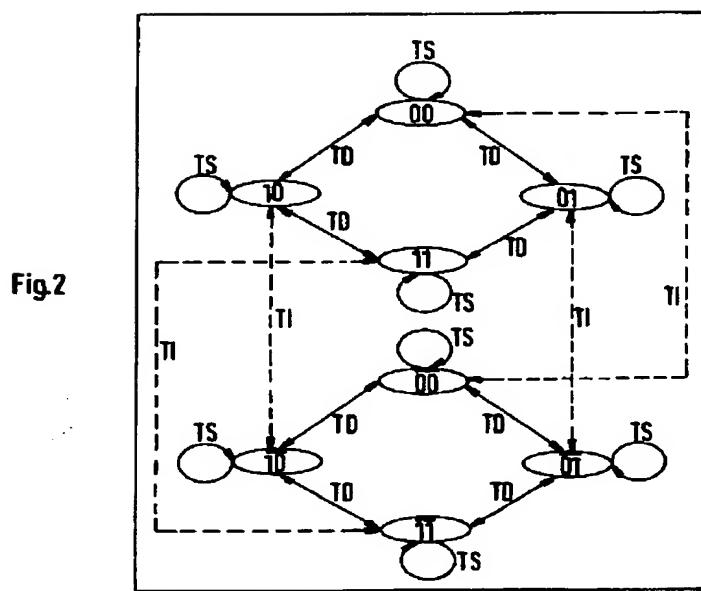


Fig.4

【図1】



【図2】



【図3】

Fig.3

